

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hidehiro TAKATA

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: DATA PROCESSING SYSTEM

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY  
Japan

APPLICATION NUMBER  
2003-116716

MONTH/DAY/YEAR  
April 22, 2003

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. filed

☐ were submitted to the International Bureau in PCT Application Number

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and


☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

C. Irvin McClelland  
Registration Number 21,124

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2003年 4月22日

出願番号

Application Number:

特願2003-116716

[ST.10/C]:

[JP2003-116716]

出願人

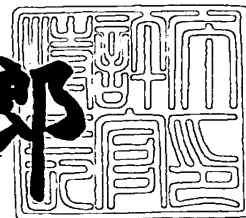
Applicant(s):

株式会社ルネサステクノロジ

2003年 6月12日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3046083

【書類名】 特許願

【整理番号】 543530JP01

【提出日】 平成15年 4月22日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/00

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

    【氏名】 高田 英裕

【特許出願人】

    【識別番号】 503121103

    【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

    【識別番号】 100089233

    【弁理士】

    【氏名又は名称】 吉田 茂明

【選任した代理人】

    【識別番号】 100088672

    【弁理士】

    【氏名又は名称】 吉竹 英俊

【選任した代理人】

    【識別番号】 100088845

    【弁理士】

    【氏名又は名称】 有田 貴弘

【手数料の表示】

    【予納台帳番号】 012852

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

【物件名】 図面 1  
【物件名】 要約書 1  
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ処理システム

【特許請求の範囲】

【請求項 1】 データが複数の処理ブロックを経由することで処理されるデータ処理システムであって、

前記データ処理システムは、前記複数の処理ブロックのそれぞれに対応して設けられた複数のブロック制御回路を備え、

前記複数のブロック制御回路は、

それぞれが対応する処理ブロックをクロック同期により制御するとともに、他のブロック制御回路との間でハンドシェイク制御信号を授受することで、前記複数の処理ブロック間のデータ転送を自己同期型ハンドシェイクにより制御する、データ処理システム。

【請求項 2】 前記複数の処理ブロックのそれぞれは、複数のサブブロックを有し、前記データが前記複数のサブブロックを経由することで処理され、

前記複数のサブブロックのうち少なくとも 1 つは、データ処理が完了したことを示すコンプリート信号を出力し、

前記複数のブロック制御回路のそれぞれは、

前記複数のサブブロックのうち前記少なくとも 1 つが出力する前記コンプリート信号を受けて、対応する前記処理ブロックでのデータ処理の終了を検知する終了検知部と、

前記終了検知部から出力される検知結果信号を受け、前記検知結果信号に基づいて作成されたストップ信号により対応する前記処理ブロックに対するクロックの供給および停止を制御するとともに、前記ハンドシェイク制御信号を授受して、前記複数の処理ブロック間のデータ転送を自己同期型ハンドシェイクにより制御する転送制御部とを有する、請求項 1 記載のデータ処理システム。

【請求項 3】 前記データ処理システムは、外部システムとのインターフェースを行う調停回路をさらに備え、

前記調停回路は、

前記外部システムとの間で、クロックに同期したシステム制御信号の授受を行

い、当該システム制御信号に基づいて、前記ハンドシェイク制御信号を作成する、請求項 1 記載のデータ処理システム。

【請求項 4】 前記複数のサブブロックのうち前記コンプリート信号を出力するサブブロックは、自らが出力する前記コンプリート信号に基づいて、自らに与えられる前記クロックの供給および停止を制御するゲート手段を有する、請求項 2 記載のデータ処理システム。

【請求項 5】 前記複数の処理ブロックのそれぞれは、  
電源の供給ラインに介挿されたスイッチを備え、該スイッチのオン／オフ制御を前記ストップ信号に基づいて行う、請求項 2 記載のデータ処理システム。

【請求項 6】 前記複数の処理ブロックのそれぞれは、  
接地ラインに介挿されたスイッチを備え、該スイッチのオン／オフ制御を前記ストップ信号に基づいて行う、請求項 2 記載のデータ処理システム。

【請求項 7】 前記複数の処理ブロックのそれぞれは、複数のサブブロックを有し、前記データが前記複数のサブブロックを経由することで処理され、  
前記複数のサブブロックのうち少なくとも 1 つは、データ処理が完了したことを示すコンプリート信号を出力し、

前記複数のブロック制御回路のそれぞれは、  
前記複数のサブブロックのうち前記少なくとも 1 つが出力する前記コンプリート信号を受けて、対応する前記処理ブロックでのデータ処理の終了を検知する終了検知部と、

前記終了検知部から出力される検知結果信号を受け、前記検知結果信号に基づいてストップ信号を作成するとともに、前記ハンドシェイク制御信号を授受して、前記複数の処理ブロック間のデータ転送を自己同期型ハンドシェイクにより制御する転送制御部とを有し、

前記複数の処理ブロックのそれぞれは、  
電源の供給ラインに介挿されたスイッチを備え、該スイッチのオン／オフ制御を前記ストップ信号に基づいて行う、請求項 1 記載のデータ処理システム。

【請求項 8】 前記複数の処理ブロックのそれぞれは、複数のサブブロックを有し、前記データが前記複数のサブブロックを経由することで処理され、

前記複数のサブブロックのうち少なくとも1つは、データ処理が完了したことを示すコンプリート信号を出力し、

前記複数のブロック制御回路のそれぞれは、

前記複数のサブブロックのうち前記少なくとも1つが出力する前記コンプリート信号を受けて、対応する前記処理ブロックでのデータ処理の終了を検知する終了検知部と、

前記終了検知部から出力される検知結果信号を受け、前記検知結果信号に基づいてストップ信号を作成するとともに、前記ハンドシェイク制御信号を授受して、前記複数の処理ブロック間のデータ転送を自己同期型ハンドシェイクにより制御する転送制御部とを有し、

前記複数の処理ブロックのそれぞれは、

接地ラインに介挿されたスイッチを備え、該スイッチのオン／オフ制御を前記ストップ信号に基づいて行う、請求項1記載のデータ処理システム。

【請求項9】 前記複数の処理ブロックのそれぞれは、

前記コンプリート信号を出力するサブブロックに接続され、前記コンプリート信号と前記ストップ信号とを受け、前記スイッチをオフ状態とする場合には、前記コンプリート信号の電位を所定電位に固定する信号固定部をさらに備える、請求項7または請求項8記載のデータ処理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はデータ処理システムに関し、特に、内部を複数の処理ブロックに分割し、処理ブロック間の制御を自己同期的に行うデータ処理システムに関する。

【0002】

【従来の技術】

データ処理システムの制御は、基本的に単一のシステムクロックに同期して行われるが、データ処理システムを複数の処理ブロックに分割して全体の処理を実行する装置においては、処理ブロック内、および処理ブロック間の同期信号であるクロックに対して、クロックスキューを特定の基準値以下に制御する必要がある。

る。

【 0 0 0 3 】

ここで、昨今のシステムの動作速度の高速化およびシステムの大規模化に伴う物理的な制御領域の広がりに伴い、クロックスキューに対する基準値が低下するなど、ますます厳しい状況となり、基準値以下のクロックスキューを実現することが困難になってきている。

【 0 0 0 4 】

そこで、基準値以下のクロックスキューを実現するための種々の手法が、以下の非特許文献 1 ～ 4 に記載されている。

【 0 0 0 5 】

すなわち、非特許文献 1 には、各処理ブロックへ供給するクロックラインに対して、等長配線のツリー構造を採用し、クロック生成源から各処理ブロックへの遅延値が等しくなるように管理する手法が記載されている。

【 0 0 0 6 】

また、非特許文献 2 には、クロック管理領域を局所領域に限定したブロックレベルでのクロック管理とこれらのブロック間でのクロック管理とで階層的に管理し、ブロック間でのクロック管理においてクロック生成源に設けた遅延調整回路により遅延値を調整する手法が記載されている。

【 0 0 0 7 】

そして、非特許文献 3 および 4 には、ブロックレベルとブロック間とで階層的にクロック管理する手法においてブロック間でのクロック位相調整に D L L (Delay Locked Loop) 回路を用いる手法が記載されている。

【 0 0 0 8 】

これらの手法は、何れも領域を限定したブロック内（下位レベル）管理と、ブロック間（上位レベル）管理との 2 段階の階層でクロック管理を施すものであり、管理がより困難な上位レベルのクロック管理に「等長配線のツリー構造」、「遅延調整回路による遅延値調整」、「D L L によるクロック位相調整」等を施している。

【 0 0 0 9 】



また、特定の処理ブロック対して、消費電力の低減を目的にクロックや電源の供給を停止させようとする場合、クロックや電源の供給停止条件を満たす制御信号を生成し、この制御信号によりクロックや電源の供給をオン／オフさせていた

【 0 0 1 0 】

【非特許文献 1】

ブライアン・カラン(Brian Curran) 他 ISSCC 2001 プロシーディング 15.5 「A1.1GHz ファースト 6 4 b ジェネレーション Z900 マイクロプロセッサ」 (A1.1GHz First 64b Generation Z900 Microprocessor) p.238-239,454

【非特許文献 2】

Hidehiro TAKATA 他 IEICE オンエレクトロニクス (IEICE on Electronics) 「フィジカルデザインメソッドロジィ フォー オンチップ 64-Mb DRAM MPEG-2 エンコーディング ウィズ ア マルチメディアプロセッサ」 (Physical Design Methodology for On-Chip 64-Mb DRAM MPEG-2 Encoding with a Multimedia Processor) VOL.E85-C No.2 Feb.2002 p.368-374

【非特許文献 3】

Kouichi Yamaguchi 他 ISSCC 2001 プロシーディング 25.4 「2.5GHz 4-フェーズクロックジェネレータ ウィズ スケーラブル アンド ノーフィードバックループ アーキテクチャ」 (2.5GHz 4-phase Clock Generator with Scalable and No Feedback Loop Architecture) p.398-399,326-327

【非特許文献 4】

スキダイデス・ザンソポーロス(Thucydides Xanthopoulos) 他 ISSCC 2001 プロシーディング 25.6 「ザ デザイン アンド アナライシス オブ ザ クロックディストリビューションネットワーク フォー ア 1.2GHz アルファ マイクロプロセッサ」 (The Design and Analysis of the Clock Distribution Network for a 1.2GHz Alpha Microproc

essor) p.402-403,330-331

【 0 0 1 1 】

【発明が解決しようとする課題】

以上説明したように、システムの制御を単一のクロックに同期させて制御する装置においては、クロックスキューを所定の基準値以下へ抑える手法として、従来から、ブロック単位の下位レベルとブロック間の上位レベルとで階層的にクロックスキューを管理する手法が用いられている。

【 0 0 1 2 】

下位レベルにおけるクロックの位相差管理は、その領域を狭めることで比較的容易に実現可能であるのに対して、上位レベルにおけるクロックの位相差管理は、管理すべき領域が広範囲に渡ることからより困難で、「等長配線のツリー構造」、「遅延調整回路による遅延値調整」、「DLLによるクロック位相調整」等の手法が採られてきた。

【 0 0 1 3 】

これらの手法は、各ブロックへ分配するクロック経路の最適化を図る必要があり、設計、検証、解析に多大な労力が必要である。

【 0 0 1 4 】

さらに、「遅延調整回路による遅延値調整」、「DLLによるクロック位相調整」に関しては、遅延調整回路、DLL等が必要となり、回路規模が大きくなるだけでなく、これらの回路のチューニングも必要で、設計期間が増加することになる。

【 0 0 1 5 】

また、特定の処理ブロックに対して、低消費電力を目的にクロックや電源の供給を停止させようとする場合、クロックや電源の供給停止条件を満たす制御信号を生成させる必要が生じる。

【 0 0 1 6 】

本発明は上記のような問題点を解消するためになされたもので、上位レベルのクロック位相管理において、各ブロックへ分配するクロック経路の最適化を不要とすると共に、回路規模の増大を抑制し、また回路チューニングによる設計期間

の増加を最小限に抑えることが可能な自己同期型ブロック処理装置を得るとともに、特定の処理ブロックに対して、低消費電力を目的にクロックや電源の供給を停止させようとする場合において、クロックや電源の供給停止のための制御信号の生成を不要とする構成を合わせて得ることを目的とする。

【 0 0 1 7 】

【課題を解決するための手段】

本発明に係る請求項 1 記載のデータ処理システムは、データが複数の処理ブロックを経由することで処理されるデータ処理システムであって、前記データ処理システムは、前記複数の処理ブロックのそれぞれに対応して設けられた複数のブロック制御回路を備え、前記複数のブロック制御回路は、それぞれが対応する処理ブロックをクロック同期により制御するとともに、他のブロック制御回路との間でハンドシェイク制御信号を授受することで、前記複数の処理ブロック間のデータ転送を自己同期型ハンドシェイクにより制御する。

【 0 0 1 8 】

【発明の実施の形態】

< A . 実施の形態 1 >

図 1 に、本発明に係る実施の形態 1 のデータ処理システム 1 0 0 の構成を示す。

【 0 0 1 9 】

< A - 1 . 装置構成 >

図 1 に示すように、データ処理システム 1 0 0 は、複数の処理ブロック 2 に分割され、各処理ブロック 2 にはそれぞれローカルブロック制御回路 1 が付属している。

【 0 0 2 0 】

各ローカルブロック制御回路 1 には、データ処理システム 1 0 0 の外部からシステムクロック 1 0 が与えられ、ローカルブロック制御回路 1 間では、ハンドシェイク制御信号 6 が授受され、システムクロック 1 0 に同期して複数の処理ブロック 2 間のデータ転送を自己同期型ハンドシェイクにより制御する構成となっている。なお、自己同期型ハンドシェイク制御とはリクエスト（要求）およびアク

ノリッジ（応答）などの制御信号でデータの転送ごとに確認をとりながらデータの転送を行う方式である。

【 0 0 2 1 】

なお、データ処理システム 1 0 0 においては、何れかの処理ブロック 2 においてデータ処理システム 1 0 0 の外部から入力データ 4 を受け、所定の処理を施して次の処理ブロック 2 に与えように構成され、最終的には、何れかの処理ブロック 2 から外部に出力データ 5 を出力する構成となっている。

【 0 0 2 2 】

次に、図 2 を用いて、ローカルブロック制御回路 1 および、当該制御回路 1 により制御される処理ブロック 2 の構成について説明する。

【 0 0 2 3 】

図 2 に示すように処理ブロック 2 は、ローカルブロック制御回路 1 から与えられるブロック内クロック 2 0 （ローカルクロック）により制御され、入力データ 4 に所定の処理を施して出力データ 5 として出力するが、処理ブロック 2 は、複数のサブブロック 2 1 に分割されている。

【 0 0 2 4 】

そして、図 2 に示すように全てのサブブロック 2 1 においては、処理の終了を検知する機能をそれぞれ有し、処理の終了した時点においてブロック内クロック 2 0 にそれぞれ同期してコンプリート信号 2 2 を出力する機能を有している。

【 0 0 2 5 】

なお、コンプリート信号 2 2 は、処理ブロック 2 内の処理の終了をローカルブロック制御回路 1 に検知させるための信号であるので、その処理が処理ブロック 2 内の処理に明らかに影響を与えないサブブロック 2 1 については、コンプリート信号 2 2 を敢えてローカルブロック制御回路 1 へ出力しなくても良い。

【 0 0 2 6 】

さらに、上記のような、サブブロック 2 1 に関しては、コンプリート信号 2 2 を終了検知以外に使用しない場合には、コンプリート信号 2 2 を生成しなくても良い。

【 0 0 2 7 】

また、常に動作しているサブブロック 2 1 に関しては、コンプリート信号 2 2 を生成せずとも良いことは言うまでもない。

#### 【 0 0 2 8 】

なお、処理ブロック 2 の回路規模は、ブロック内クロック 2 0 を処理ブロック 2 内に分配する際、ブロック内クロック 2 0 のクロックスキュー管理が容易に行える物理的領域内に収まる程度の回路規模を想定している。すなわち、クロックスキュー管理の目安は、一般的に周期の 5 % 以下とされている。従って、例えば、5 G H z の動作周波数を想定した場合、周期は 2 0 0 p S E C となり、クロックスキュー管理の目安は 1 0 p S E C となって、これはトランジスタ数にして 1 0 0 0 個程度となる。なお、高速化されるほど処理ブロック 2 の回路規模は小さくなる。

#### 【 0 0 2 9 】

ローカルブロック制御回路 1 は、処理ブロック 2 より出力された複数のコンプリート信号 2 2 を受ける終了検知部 1 2 と、終了検知部 1 2 から出力されるエンド信号 1 3、システムクロック 1 0、ハンドシェイク制御信号 6 を受け、システムクロック 1 0 を処理ブロック 2 へ供給するか否かを決定する負論理のストップ信号 1 4 を生成する転送制御部 1 1 と、転送制御部 1 1 から出力される負論理のストップ信号 1 4 とシステムクロック 1 0 とに基づいて、ブロック内クロック 2 0 を生成する論理 AND ゲート 1 5 と、ハンドシェイク制御信号 6 の 1 つである出力側要求応答信号 6 4 をドライブして、負論理のリセット信号 2 5 として処理ブロック 2 に与えるドライバ 1 6 とを備えている。

#### 【 0 0 3 0 】

論理 AND ゲート 1 5 は、システムクロック 1 0 を負論理のストップ信号 1 4 に基づいてブロック内クロック 2 0 として処理ブロック 2 に与えるか否かを制御し、システムクロック 1 0 を与えない場合にはブロック内クロック 2 0 の値を固定する（本実施の形態では 0 に固定する）ための構成であるので、同様の機能を有するゲート手段であれば論理 AND ゲートに限定されるものではなく、トランスファゲート（トランスミッションゲート）等を用いても良い。

#### 【 0 0 3 1 】

### < A - 2 . 装置動作 >

以下、図 1 および図 2 を参照しつつ、図 3 に示すタイミングチャートを用いて、ローカルブロック制御回路 1 による自己同期型ハンドシェイクによるデータ転送動作の一例について説明する。

#### 【 0 0 3 2 】

ここで、ハンドシェイク制御信号 6 は、ある特定の処理ブロック 2 に着目した場合、当該処理ブロック 2 の出力データ 5 を与える後段の処理ブロック 2 に付属するローカルブロック制御回路 1 または外部の他のシステム（以後、これを出力側と呼称）に対して、データを転送したいという要求を示す出力側転送要求信号 6 2、出力側から与えられ、データ転送要求に応答したことを示す負論理の出力側要求応答信号 6 4、上記特定の処理ブロック 2 に入力データ 4 を与える前段の処理ブロック 2 に付属するローカルブロック制御回路 1 または外部の他のシステム（以後、これを入力側と呼称）から与えられ、入力側からデータを転送したいという要求があることを示す入力側転送要求信号 6 1、入力側からのデータ転送要求に応答したことを示す負論理の入力側要求応答信号 6 3 を含んでいる。

#### 【 0 0 3 3 】

図 3 に示すように、入力データ 4 が与えられた後、入力側からの入力側転送要求信号 6 1 がアサート（0→1）された時、出力側転送要求信号 6 2 がネゲート状態（0）であれば、出力側へのデータ転送が完了しているので、転送制御部 1 1 はシステムクロック 1 0 の立ち下がりのタイミングで、負論理のストップ信号 1 4 を解除（0→1）する。

#### 【 0 0 3 4 】

これによりシステムクロック 1 0 が論理 AND ゲート 1 5 を介して処理ブロック 2 にブロック内クロック 2 0 として供給され、処理ブロック 2 0 内において入力データ 4 に対する所定の処理が開始する。なお、ブロック内クロック 2 0 は以下に示すように処理に応じて必要な個数のパルスが与えられるように構成されており、当該パルス数は可変である。

#### 【 0 0 3 5 】

処理ブロック 2 0 内での処理の進行に応じて（処理に必要な時間が経過した後）処理ブロック 2 0 内の各サブブロック 2 1 における処理が順次終了し、処理を

終了したサブブロック 2 1 においては、ブロック内クロック 2 0 に同期してコンプリート信号 2 2 がアサート (0 → 1) される。

## 【 0 0 3 6 】

コンプリート信号 2 2 は順次、終了検知部 1 2 に与えられ、終了検知部 1 2 では、全てのコンプリート信号 2 2 のアサートを検知した時点でエンド信号 1 3 をアサート (0 → 1) する。

## 【 0 0 3 7 】

転送制御部 1 1 では、エンド信号 1 3 のアサートを受け、システムクロック 1 0 の立ち下がりのタイミングで負論理のストップ信号 1 4 をアサート (1 → 0) するとともに、入力側に与える負論理の入力側要求応答信号 6 3 をアサート (1 → 0) して入力側からのデータ転送要求に応答したことを示し、かつ、出力側への出力側転送要求信号 6 2 をアサート (0 → 1) して出力側に対してデータを転送したいという要求を示す。

## 【 0 0 3 8 】

この動作により処理ブロック 2 への論理 AND ゲート 1 5 を介してのシステムクロック 1 0 の供給が停止され、処理ブロック 2 の処理が停止する。

## 【 0 0 3 9 】

また、入力側に与える負論理の入力側要求応答信号 6 3 がアサート (1 → 0) されることにより、入力側から与えられる入力側転送要求信号 6 1 がネゲート (1 → 0) され、入力側 (の処理ブロック 2) においてはデータの出力が保留される。

## 【 0 0 4 0 】

転送制御部 1 1 では、入力側転送要求信号 6 1 がネゲートされたことを受けて負論理の入力側要求応答信号 6 3 を解除 (0 → 1) し、さらにシステムクロック 1 0 の立ち下がりのタイミングでエンド信号 1 3 をネゲート (1 → 0) する。

## 【 0 0 4 1 】

出力側 (の処理ブロック 2) において所定の処理が実施された後、出力側 (のローカルブロック制御回路 1) からの負論理の出力側要求応答信号 6 4 がアサート (1 → 0) された時、エンド信号 1 3 がネゲート状態 (0) であれば、出力側

へのデータ転送が完了しているので、転送制御部 1 1 は、システムクロック 1 0 の立ち下がりタイミングで出力側転送要求信号 6 2 を解除（1→0）する。これを受けた出力側（ローカルブロック制御回路 1）は、出力側要求応答信号 6 4 をネゲート（0→1）する。

#### 【 0 0 4 2 】

この負論理の出力側要求応答信号 6 4 のパルス信号をドライバ 1 6 でドライブし、負論理のリセット信号 2 5 として処理ブロック 2 内のリセットが必要な全てのサブブロック 2 1 へ分配することで、コンプリート信号 2 2 をリセット（1→0）することで、転送制御部 1 1 によ自己同期型ハンドシェイクによる一連のデータ転送が完了する。

#### 【 0 0 4 3 】

ここで、処理ブロック 2 からの出力信号であるコンプリート信号 2 2 およびこれに基づくエンド信号 1 3 はシステムクロック 1 0（すなわちブロック内クロック 2 0）に同期した信号となるが、負論理のストップ信号 1 4 もシステムクロック 1 0 に同期（上記では立ち下がりに同期）した信号とすることが望ましい。これは、論理 AND ゲート 1 5 にてシステムクロック 1 0 をゲートする際に、ブロック内クロック 2 0 にヒゲ状の誤ったパルスを生じさせないためである。

#### 【 0 0 4 4 】

#### < A - 3 . 効果 >

以上説明したようにデータ処理システム 1 0 0 においては、内部を複数の処理ブロック 2 に分割することで制御範囲を局所領域に限定し、処理ブロック 2 内の管理（下位レベル管理）は、ローカルクロックであるブロック内クロック 2 0 によって同期制御している。そして、制御範囲が広領域に渡る処理ブロック 2 間の管理（上位レベル管理）は、ローカルブロック制御回路 1 による自己同期型ハンドシェイク制御を採用している。

#### 【 0 0 4 5 】

クロック同期制御を用いる場合、高速化に伴いクロックスキュー（クロック位相のずれ）の許容範囲が狭くなり管理が難しくなるだけでなく、制御すべき物理的領域が広いので、クロックスキュー管理がますます困難になるが、上記構成を



採用することで、個々の処理ブロック 2 については制御範囲は局所領域に限定されるので、クロックスキューの許容範囲が狭くなっても比較的容易に管理できる。

#### 【 0 0 4 6 】

また、ローカルブロック制御回路 1 において、処理ブロック 2 の処理状態に関する情報を取得し、当該情報とシステムクロック 1 0 およびハンドシェイク制御信号 6 に基づいて生成される負論理のストップ信号 1 4 により、処理ブロック 2 の処理状態に応じて処理ブロック 2 に対するブロック内クロック 2 0 の供給および停止を制御するので、従来は必要であったクロックを制御するための複雑な回路が不要となり、設計期間の短縮や、回路規模の増大を抑制できる。

#### 【 0 0 4 7 】

また、制御範囲が広範囲に渡る処理ブロック 2 間の制御に関しては、ローカルブロック制御回路 1 による自己同期型ハンドシェイク制御を採用することで、上位レベルのクロックスキュー管理において、各ブロックへ分配するクロック経路を最適化するなどの作業が不要となり、設計期間の短縮や、回路規模の増大を抑制できる。

#### 【 0 0 4 8 】

##### < B . 実施の形態 2 >

図 4 に、本発明に係る実施の形態 2 のデータ処理システム 2 0 0 の構成を示す。なお、図 1 に示したデータ処理システム 1 0 0 と同一の構成については同一の符号を付し、重複する説明は省略する。

#### 【 0 0 4 9 】

##### < B - 1 . 装置構成 >

図 4 に示すように、データ処理システム 2 0 0 は、図 1 を用いて説明したデータ処理システム 1 0 0 の構成に加えて、外部の他のシステムとのインターフェースを行うための調停回路 7 をさらに備えている。

#### 【 0 0 5 0 】

調停回路 7 は、システムクロック 1 0 に同期したシステム制御信号 8 に基づいて、データ処理システム 2 0 0 と他のシステムとの間でのデータの送受信を行う

インターフェース回路である。

【 0 0 5 1 】

ここで、ある特定の処理ブロック 2 に着目した場合、その出力データ 5 を与える後段の処理ブロック 2 に付属するローカルブロック制御回路 1 または外部の他のシステム（以後、これを出力側と呼称）に対してデータを転送したいという要求を示す出力側転送要求信号 6 2 および出力側から与えられ、データ転送要求に応答したことを示す負論理の出力側要求応答信号 6 4 を出力側ハンドシェイク制御信号 6 6 と総称する。

【 0 0 5 2 】

また、上記特定の処理ブロック 2 に入力データ 4 を与える前段の処理ブロック 2 に付属するローカルブロック制御回路 1 または外部の他のシステム（以後、これを入力側と呼称）から与えられ、入力側からデータを転送したいという要求があることを示す入力側転送要求信号 6 1、および入力側からのデータ転送要求に応答したことを示す負論理の入力側要求応答信号 6 3 を入力側ハンドシェイク制御信号 6 5 と総称する。

【 0 0 5 3 】

図 4 に示すように、調停回路 7 は、外部の他のシステム（図示せず）との間で、予め定めたシステム制御信号 8 の授受を行い、当該システム制御信号 8 に基づいて、入力側ハンドシェイク制御信号 6 5 および出力側ハンドシェイク制御信号 6 6 を作成し、データ処理システム 2 0 0 内のローカルブロック制御回路 1 に与える構成となっている。

【 0 0 5 4 】

ここで、調停回路 7 に与えられる入力側ハンドシェイク制御信号 6 5、出力側ハンドシェイク制御信号 6 6 およびシステム制御信号 8 の詳細を図 5 に示す。

【 0 0 5 5 】

図 5 に示すように、システム制御信号 8 は、データ処理システム 2 0 0 が、外部の他のシステムに対してデータを出力したいという要求を示すバス要求信号 8 1、バス要求信号 8 1 を受けた外部の他のシステムから与えられ、バス要求に応答することを示すバス要求応答信号 8 2、外部の他のシステムから与えられ、デ

ータ処理システム 2 0 0 に対するデータの入力を完了したことを示すバスエンド信号 8 3 およびデータ処理システム 2 0 0 から出力される、データ入出力の状態を示すバスリード／ライト信号 8 4 で構成される。

【 0 0 5 6 】

#### ＜ B - 2 . 装置動作 ＞

データ処理システム 2 0 0 内でのデータ転送動作やハンドシェイク制御についてはデータ処理システム 1 0 0 と同じであるので説明は省略し、以下、図 4 および図 5 を参照しつつ、図 6 に示すタイミングチャートを用いて、調停回路 7 の動作についての説明する。

【 0 0 5 7 】

図 6 に示すように、システム制御信号 8 のうち、データ処理システム 2 0 0 に対して入力信号となるバス要求応答信号 8 2 およびバスエンド信号 8 3 は、システムクロック 1 0 の立ち上がり同期して変化し、データ処理システム 2 0 0 に対して出力信号となる出力バス要求信号 8 1 およびバスリード／ライト信号 8 4 は、システムクロック 1 0 の立ち下がり同期して変化する。

【 0 0 5 8 】

一方、入力側ハンドシェイク信号 6 5 および出力側ハンドシェイク信号 6 6 はシステムクロック 1 0 とは非同期に変化する。

【 0 0 5 9 】

#### ＜ B - 2 - 1 . 書き込み単独動作 ＞

まず、データ処理システム 2 0 0 に対する書き込み単独動作（図 6 に示すタイミングチャートの前半部分）について説明する。

【 0 0 6 0 】

バス要求信号 8 1 がネゲート状態（ 0 ）の場合、データ処理システム 2 0 0 の外部から与えられるバスエンド信号 8 3 がネゲート（ 1 → 0 ）されると、入力側転送要求信号 6 1 がネゲート状態（ 0 ）であることから、入力側、この場合は、データ処理システム 2 0 0 内の最終段の処理ブロック 2 に付属するローカルブロック制御回路 1 からはデータを転送する要求がないので、データを転送したいという要求を示す出力側転送要求信号 6 2 をアサート（ 0 → 1 ）し、データ処理シ

システム 2 0 0 の外部に対しては、システムクロック 1 0 の立ち下がりのタイミングでバスリード／ライト信号 8 4 を 0 にして書き込み状態とする。

#### 【 0 0 6 1 】

なお、データ処理システム 2 0 0 に対するデータの書き込みは、バスリード／ライト信号 8 4 が 0 の状態にある期間に行われるが、当該期間はシステムクロック 1 0 のパルス数を変えることで処理に応じて任意に変更できる。

#### 【 0 0 6 2 】

そして、出力側の処理ブロック 2 での処理が完了することにより、当該処理ブロック 2 に付属するローカルブロック制御回路 1 から負論理の出力側要求応答信号 6 4 がアサート（1→0）され、出力側転送要求信号 6 2 をネゲート（1→0）するとともに、データ処理システム 2 0 0 の外部に対してはバスリード／ライト信号 8 4 を 1 として、読み出し状態とする。

#### 【 0 0 6 3 】

これにより、出力側から与えられる負論理の出力側要求応答信号 6 4 がネゲート（0→1）され、データ処理システム 2 0 0 の外部の他のシステムでは、読み出し状態への変化を受けてバスエンド信号 8 3 をアサート（0→1）することで一連の書き込み動作が終了する。

#### 【 0 0 6 4 】

##### < B - 2 - 2 . 読み出し単独動作 >

次に、データ処理システム 2 0 0 に対する読み出し単独動作（図 6 に示すタイミングチャートの後半部分）について説明する。

#### 【 0 0 6 5 】

バスリード／ライト信号 8 4 が読み出し状態（1）にある場合、入力側、この場合は、データ処理システム 2 0 0 内の最終段の処理ブロック 2 に付属するローカルブロック制御回路 1 からの入力側転送要求信号 6 1 がアサート（0→1）されると、データ処理システム 2 0 0 の外部の他のシステムに対するバス要求信号 8 1 をアサート（0→1）して、データを出力したいという要求を示す。

#### 【 0 0 6 6 】

このバス要求信号 8 1 のアサートに対して、データ処理システム 2 0 0 の外部

の他のシステムは、バス要求応答信号 82 をアサート ( $0 \rightarrow 1$ ) することで、バス要求に応答することを示し、これを受けた調停回路 7 は、上記最終段の処理ブロック 2 に付属するローカルブロック制御回路 1 に与える負論理の入力側要求応答信号 63 をアサート ( $1 \rightarrow 0$ ) する。

## 【0067】

負論理の入力側要求応答信号 63 のアサートに対して、上記最終段の処理ブロック 2 に付属するローカルブロック制御回路 1 からの入力側転送要求信号 61 がネゲート ( $1 \rightarrow 0$ ) され、これを受けた調停回路 7 は、上記ローカルブロック制御回路 1 に与える負論理の入力側要求応答信号 63 をネゲート ( $0 \rightarrow 1$ ) するとともに、データ処理システム 200 の外部に対してのバス要求信号 81 をネゲート ( $1 \rightarrow 0$ ) する。

## 【0068】

バス要求信号 81 がネゲートされることで、データ処理システム 200 の外部の他のシステムからのバス要求応答信号 82 がネゲート ( $1 \rightarrow 0$ ) され、一連の読み出し動作が完了する。

## 【0069】

### < B-2-3. 書き込み-読み出しの交互動作 >

次に、データ処理システム 200 に対する書き込み読み出しの交互動作 (図 6 に示すタイミングチャートの間部分) について説明する。

## 【0070】

先に説明した書き込み単独動作中に入力側、この場合は、データ処理システム 200 内の最終段の処理ブロック 2 に付属するローカルブロック制御回路 1 からの入力側転送要求信号 61 がアサート ( $0 \rightarrow 1$ ) された場合 (入力側からのデータの出力要求があった場合) においては、バスリード/ライト信号 84 が書き込み状態 (0) であるので、外部に対するバス要求信号 81 を所定期間はネゲート状態 (0) に保持し、所定期間は読み出し動作を保留する。

## 【0071】

そして、バスリード/ライト信号 84 の読み出し状態 (1) への変化を受けた後、システムクロック 10 の立ち下がりのタイミングで、外部に対するバス要求

信号 8 1 をアサート (0 → 1) し、一連の読み出し動作を開始する。

【 0 0 7 2 】

なお、この場合の読み出し動作も、先に説明した読み出し単独動作と同様である。

【 0 0 7 3 】

次に、読み出し動作中にデータ処理システム 2 0 0 の外部の他のシステムから書き込み要求があった場合、バス要求信号 8 1 はアサート状態 (1) であることから、データ処理システム 2 0 0 の外部の他のシステムにおいては、バスエンド信号 8 3 がアサート状態 (1) に維持され、書き込み動作が保留される。

【 0 0 7 4 】

そして、所定の読み出し動作が終了後、データ処理システム 2 0 0 の外部の他のシステムに対するバス要求信号 8 1 がネゲート (1 → 0) されることで、データ処理システム 2 0 0 の外部の他のシステムからのバスエンド信号 8 3 がネゲート (1 → 0) され、一連の書き込み動作が開始する。

【 0 0 7 5 】

なお、この場合の書き込み動作も、先に説明した書き込み単独動作と同様である。

【 0 0 7 6 】

< B - 3 . 効果 >

以上説明したようにデータ処理システム 2 0 0 においては、外部の他のシステムとのインターフェース回路として調停回路 7 を備え、外部の他のシステムとの間で直接に授受される制御信号に、システムクロック 1 0 に同期したシステム制御信号 8 を使用するので、クロック同期の他のシステム、例えば、従来から使用されている自己同期制御および非同期制御を用いた同期システムとのインターフェースを支障なく行うことができる。

【 0 0 7 7 】

< C . 変形例 1 >

以上説明した実施の形態 1 および 2 のデータ処理システム 1 0 0 および 2 0 0 において、処理ブロック 2 は、その内部が図 2 に示すように複数のサブブロック

2 1 に分割された構成を有していた。

【 0 0 7 8 】

そして、全てのサブブロック 2 1 においてブロック内クロック 2 0 が与えられ、ブロック内クロック 2 0 に同期してコンプリート信号 2 2 を出力する構成となっていたが、図 7 に示す処理ブロック 2 A のように、複数のサブブロック 2 1 において、当該サブブロック 2 1 から出力されるコンプリート信号 2 2 を用いて、ローカルブロック制御回路 1 から与えられるブロック内クロック 2 0 をゲートし、独自のサブブロック内クロック 2 4 を使用するようにしても良い。

【 0 0 7 9 】

すなわち、図 7 に示すように、サブブロック 2 1 に論理 AND ゲート 2 3 を付属させ、当該論理 AND ゲート 2 3 の反転入力端子にはサブブロック 2 1 から出力されるコンプリート信号 2 2 を入力し、論理 AND ゲート 2 3 の入力端子にはローカルブロック制御回路 1 から与えられるブロック内クロック 2 0 を入力するように構成する。そして、論理 AND ゲート 2 3 の出力 2 4 をサブブロック 2 1 に与えるように構成する。

【 0 0 8 0 】

このような構成を採ることで、ブロック内クロック 2 0 が論理 AND ゲート 2 3 によりゲートされてサブブロック内クロック 2 4 となり、当該サブブロック内クロック 2 4 を用いてサブブロック 2 1 を制御することで、消費電力の制御をより細かく行うことが可能となる。

【 0 0 8 1 】

すなわち、処理を完了してコンプリート信号 2 2 を出力したサブブロック 2 1 に対してブロック内クロック 2 0 を供給し続けることは消費電力の増加を招くので、コンプリート信号 2 2 を出力したサブブロック 2 1 に対してはブロック内クロック 2 0 の供給を停止することが望ましい。

【 0 0 8 2 】

論理 AND ゲート 2 3 は、所定の処理を完了してコンプリート信号 2 2 を出力したサブブロック 2 1 についてはブロック内クロック 2 0 をゲートして供給を停止し、コンプリート信号 2 2 が未出力の場合にはブロック内クロック 2 0 をサブ

ブロック内クロック 2 4 として与えるように動作する。

【 0 0 8 3 】

従って、コンプリート信号 2 2 を出力したサブブロック 2 1 に対してブロック内クロック 2 0 を供給しない分だけ消費電力を削減することができる。

【 0 0 8 4 】

また、負論理のストップ信号 1 4 と同様に、サブブロック内クロック 2 4 の生成には、既に存在するコンプリート信号 2 2 を用いれば良いので、クロックを制御するための複雑な回路等が不要となり、設計期間の短縮や、回路規模の増大を抑制できる。

【 0 0 8 5 】

ここで、ブロック内クロック 2 0 を供給しない場合には、サブブロック内クロック 2 4 の値を固定する（本実施の形態では 0 に固定）という機能も有する。

【 0 0 8 6 】

なお、処理ブロック 2 A を構成する全てのサブブロック 2 1 に対して論理 AND ゲート 2 3 を接続する必要はなく、例えば、常に動作させる必要のあるサブブロック 2 1 や、規模的に小さく、動作完了後にサブブロック内クロック 2 4 を停止しても消費電力の低減効果の小さいサブブロック 2 1 については、ブロック内クロック 2 0 を直接に供給する構成としても良い。

【 0 0 8 7 】

論理 AND ゲート 2 3 は、ブロック内クロック 2 0 をコンプリート信号 2 2 に基づいてサブブロック内クロック 2 4 としてサブブロック 2 1 に与えるか否かを制御し、サブブロック内クロック 2 4 を与えない場合にはサブブロック内クロック 2 4 の値を固定するための構成であるので、同様の機能を有するゲート手段であれば論理 AND ゲートに限定されるものではなく、トランスファージェート（トランスミッションゲート）等を用いても良い。

【 0 0 8 8 】

< D. 変形例 2 >

消費電力のさらなる低減という観点に立てば、図 8 に示す処理ブロック 2 B のように、電源  $V_D$  の供給ラインにスイッチ 7 を備え、当該スイッチ 7 のオン／オ



フ制御を、負論理のストップ信号 1 4 に基づいて行うようにしても良い。

【 0 0 8 9 】

すなわち、終了検知部 1 2 で、全てのコンプリート信号 2 2 のアサートを検知すると、エンド信号 1 3 をアサートし、ストップ信号 1 4 がアサート（1→0）される。この時には、オフ状態となるようにスイッチ 7 を構成しておけば、処理ブロック 2 B への電力供給が停止し、処理ブロック 2 B での電力消費を低減できる。

【 0 0 9 0 】

なお、ストップ信号 1 4 が解除状態（1）である場合は、スイッチ 7 をオン状態とし、処理ブロック 2 B に電力を供給しておく。

【 0 0 9 1 】

このように、負論理のバーストップ信号 1 4 により、処理ブロック単位で電源をオン／オフさせることで、処理ブロック 2 B の電流源を完全に遮断できるので、処理ブロック 2 B の動作が不要な場合には電力消費をゼロにすることが可能となり、消費電力の低減効果が大きくなる。

【 0 0 9 2 】

また、大きな省電力効果を得るための制御信号として、負論理のストップ信号 1 4 を用いれば良いので、上記制御信号を得るための複雑な回路等が不要となり、設計期間の短縮や、回路規模の増大を抑制できる。

【 0 0 9 3 】

また、図 8 の構成は、図 2 を用いて説明したデータ処理システム 1 0 0 と基本的に同じであり、処理ブロック 2 B が動作中の場合は、コンプリート信号 2 2 によるサブブロック 2 1 単位でのクロック制御がなされているので、処理ブロック 2 B の動作中も消費電力が低減されており、処理ブロック 2 B での処理中はサブブロック 2 1 単位のクロック制御による省電力化、処理ブロック 2 B の処理終了後は処理ブロック単位での電源制御による省電力化というように、2 段階の省電力化が図られることとなり、省電力効果がより大きくなる。

【 0 0 9 4 】

なお、処理ブロック単位での電源制御という観点に立てば、図 9 に示す処理ブ

ロック 2 C のように、接地 (GND) ラインにスイッチ 7 を備え、当該スイッチ 7 のオン／オフ制御を、負論理のストップ信号 1 4 に基づいて行うようにしても良い。

## 【 0 0 9 5 】

この場合もスイッチ 7 をオフ状態にすれば、処理ブロック 2 C への電力供給が停止し、処理ブロック 2 C での電力消費を低減できる。

## 【 0 0 9 6 】

## &lt; E. 変形例 3 &gt;

また、図 8 および図 9 に示した構成においては、処理ブロック 2 B および 2 C に対して、ブロック内クロック 2 0 を与える構成を示したが、図 1 0 および図 1 1 に示すローカルブロック制御回路 1 A のように、ブロック内クロックとしてシステムクロック 1 0 を直接与えるようにしても良い。

## 【 0 0 9 7 】

すなわち、図 8 および図 9 に示すように、ブロック内クロック 2 0 の供給と電源の供給は、同じ負論理のストップ信号 1 4 により制御されていることから、ブロック内クロック 2 0 の停止中は、電源供給も停止していることになり、ブロック内クロック 2 0 の制御の有無に関わらず省電力効果を得られる。換言すれば、電源制御による消費電力の削減効果は、クロック制御による削減効果よりも大きいため、クロック制御を実施しなくても良いと言える。

## 【 0 0 9 8 】

さらに言えば、クロック制御を行わないのであれば、システムクロック 1 0 をゲートする論理 AND ゲート 1 5 が不要となり、回路削減が可能となる。

## 【 0 0 9 9 】

## &lt; F. 変形例 4 &gt;

図 8 ～図 1 1 を用いて説明した構成においては、電源の供給ラインあるいは接地ラインにスイッチ 7 を備え、当該スイッチ 7 のオン／オフ制御を、負論理のストップ信号 1 4 に基づいて行う構成を示したが、図 1 2 に示す処理ブロック 2 D のように、コンプリート信号 2 2 を出力する全てのサブブロック 2 1 に対して、信号固定回路 2 6 を接続した構成とし、ストップ信号 1 4 によるスイッチ 7 の切

断時（オフ時）には信号固定回路 2 6 により、コンプリート信号 2 2 の電位をコンプリート、すなわち「1」に固定するようにしても良い。

#### 【0 1 0 0】

このように、スイッチ 7 による処理ブロックの電源切断時に、コンプリート信号 2 2 の電位を確定した値、例えば「1」に固定することで、終了検知部 1 2 の誤動作を防ぐとともに、終了検知部 1 2 での不定信号入力による貫通電流の発生を防止することができる。

#### 【0 1 0 1】

なお、信号固定回路 2 6 の構成としては、例えば、図 1 3 に示す構成を採用すれば良い。すなわち、信号固定回路 2 6 は、入力的一方が負論理入力となった論理 OR ゲート 2 7 を使用し、論理 OR ゲート 2 7 の負論理入力にはストップ信号 1 4 を、他方の入力にはサブブロック 2 1 の出力信号を与える。また、同様の機能を有するゲート手段であれば論理 OR ゲートに限定されるものではなく、トランスファージェート（トランスミッションゲート）等を用いても良い。

#### 【0 1 0 2】

また、以上の説明した処理ブロック 2 D では、電源ラインにスイッチ 7 を備えた構成を示したが、接地ラインにスイッチ 7 を備えた構成であっても適用可能である。

#### 【0 1 0 3】

なお、以上説明した本発明に係るデータ処理システムは、マイクロプロセッサ、特に、画像処理用のマイクロプロセッサや、通信用のマイクロプロセッサへの適用が可能である。また、図 1 に示すデータ処理システム 1 0 0 および図 4 に示すデータ処理システム 2 0 0 は、それぞれ L S I としてシングルチップを構成することもできるし、複数のデータ処理システムを 1 つのチップ上に備えた構成とすることもできる。

#### 【0 1 0 4】

#### 【発明の効果】

本発明に係る請求項 1 記載のデータ処理システムによれば、ブロック制御回路が、対応する処理ブロックをクロック同期により制御するので、制御範囲は局所

領域に限定され、クロックスキューの許容範囲が狭くなっても比較的容易に管理できる。また、制御範囲が広範囲に渡る処理ブロック間のデータ転送は、自己同期型ハンドシェイクにより制御するので、上位レベルのクロックスキュー管理において、各ブロックへ分配するクロック経路を最適化するなどの作業が不要となり、設計期間の短縮や、回路規模の増大を抑制できる。

【図面の簡単な説明】

【図 1】 本発明に係る実施の形態 1 のデータ処理システムの全体構成を示すブロック図である。

【図 2】 本発明に係る実施の形態 1 のデータ処理システムの部分構成を示すブロック図である。

【図 3】 本発明に係る実施の形態 1 のデータ処理システムの動作を説明するタイミングチャートである。

【図 4】 本発明に係る実施の形態 2 のデータ処理システムの全体構成を示すブロック図である。

【図 5】 調停回路の取り扱う種々の信号を説明するブロック図である。

【図 6】 調停回路の動作を説明するタイミングチャートである。

【図 7】 本発明に係る変形例 1 の構成を示すブロック図である。

【図 8】 本発明に係る変形例 2 の構成を示すブロック図である。

【図 9】 本発明に係る変形例 2 の構成を示すブロック図である。

【図 10】 本発明に係る変形例 3 の構成を示すブロック図である。

【図 11】 本発明に係る変形例 3 の構成を示すブロック図である。

【図 12】 本発明に係る変形例 3 の構成を示すブロック図である。

【図 13】 本発明に係る変形例 3 の構成を示すブロック図である。

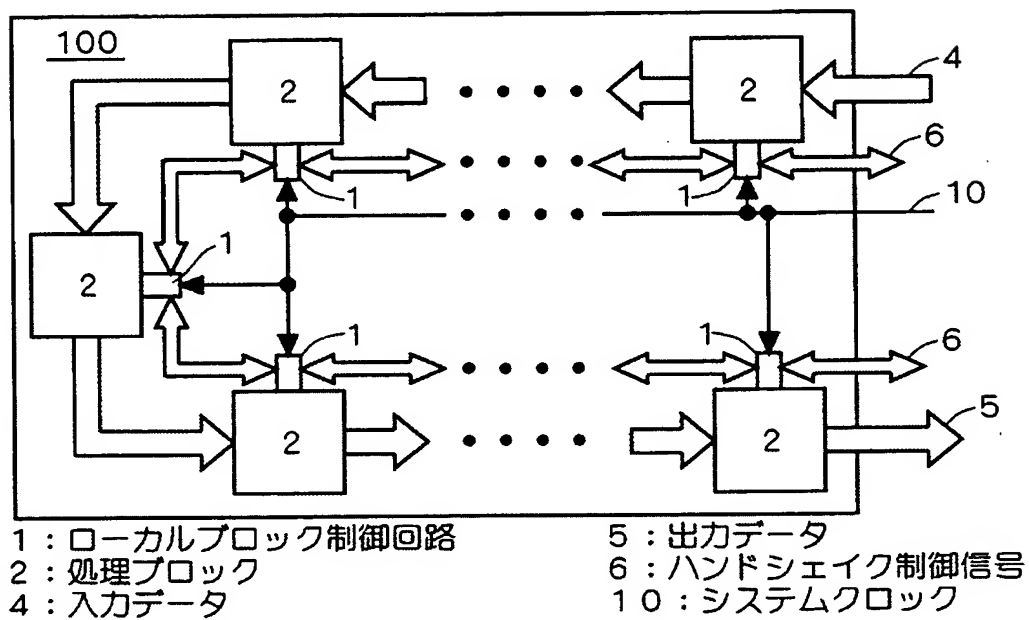
【符号の説明】

1 ローカルブロック制御回路、2 処理ブロック、4 入力データ、5 出力データ、6 ハンドシェイク制御信号、7 調停回路、8 システム制御信号、10 システムクロック、13 エンド信号、14 ストップ信号、20 ブロック内クロック、22 コンプリート信号、24 サブブロック内クロック、61 入力側転送要求信号、62 出力側転送要求信号、63 入力側要求応答

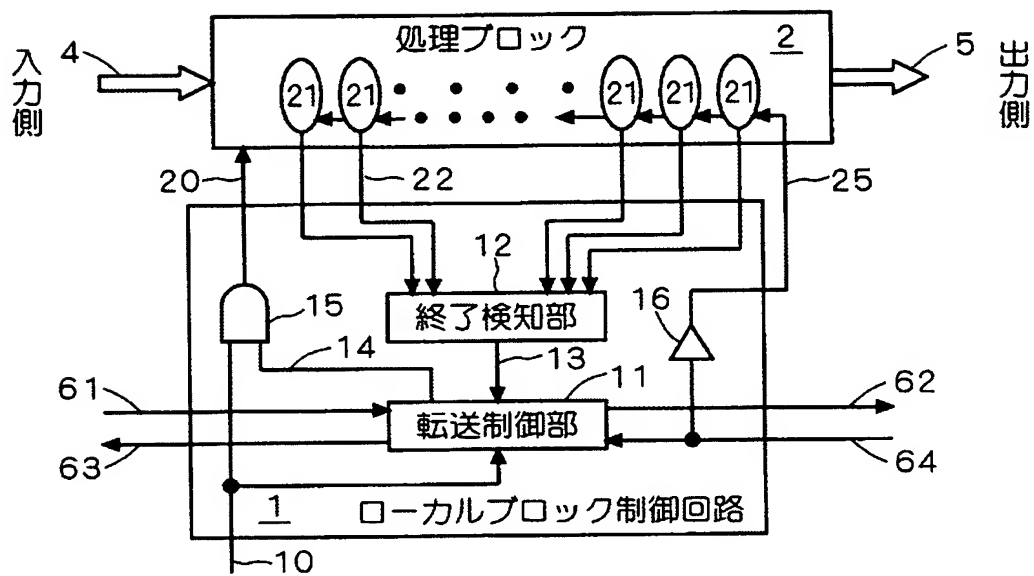
信号、64 入力側要求応答信号、65 入力側ハンドシェイク制御信号、66  
出力側ハンドシェイク制御信号、81 バス要求信号、82 バス要求応答信  
号、83 バスエンド信号、84 バスリード／ライト信号。

【書類名】 図面

【圖 1】



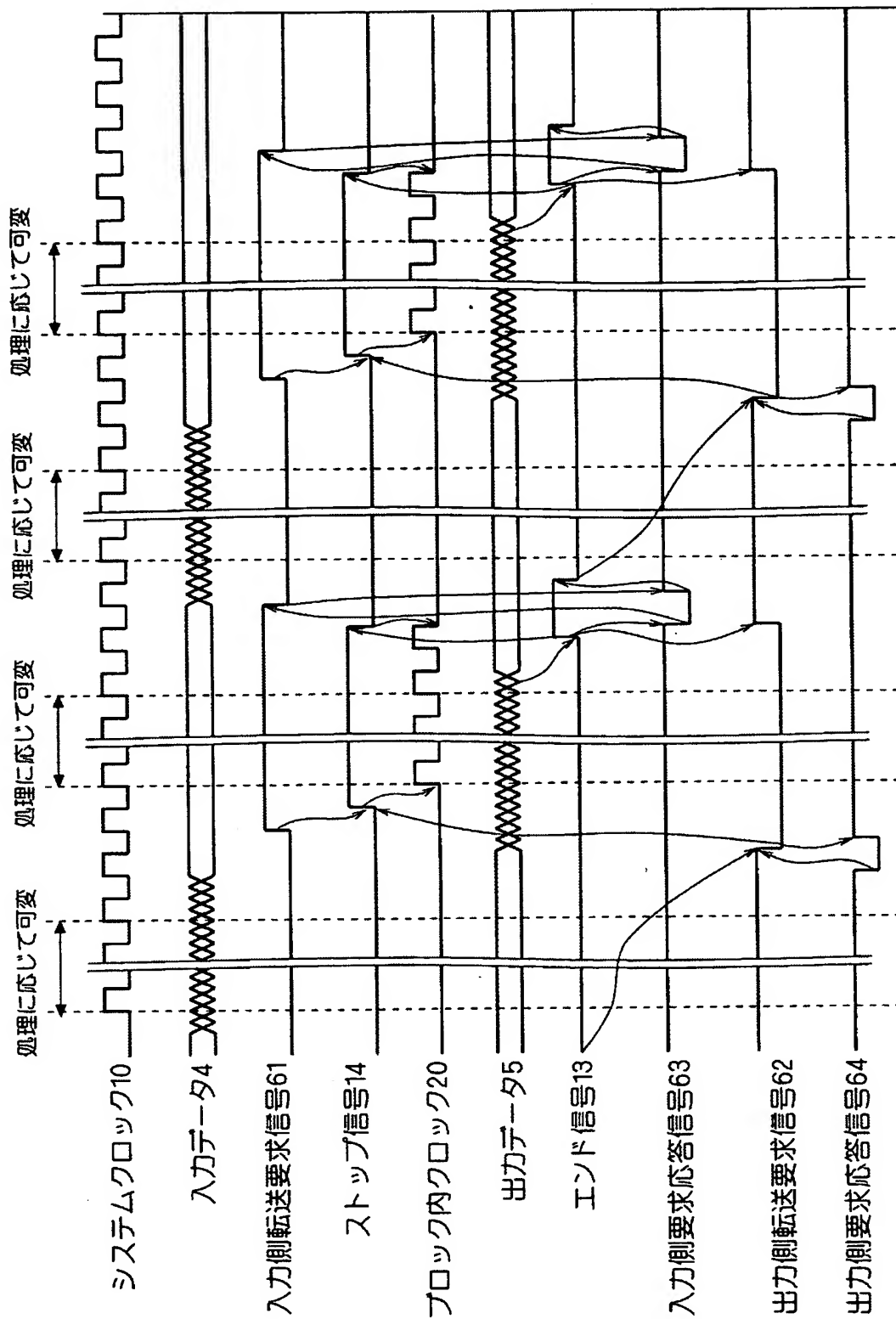
【図 2】



20 : ブロック内クロック  
 22 : コンプリート信号  
 61 : 入力側転送要求信号  
 63 : 入力側要求応答信号

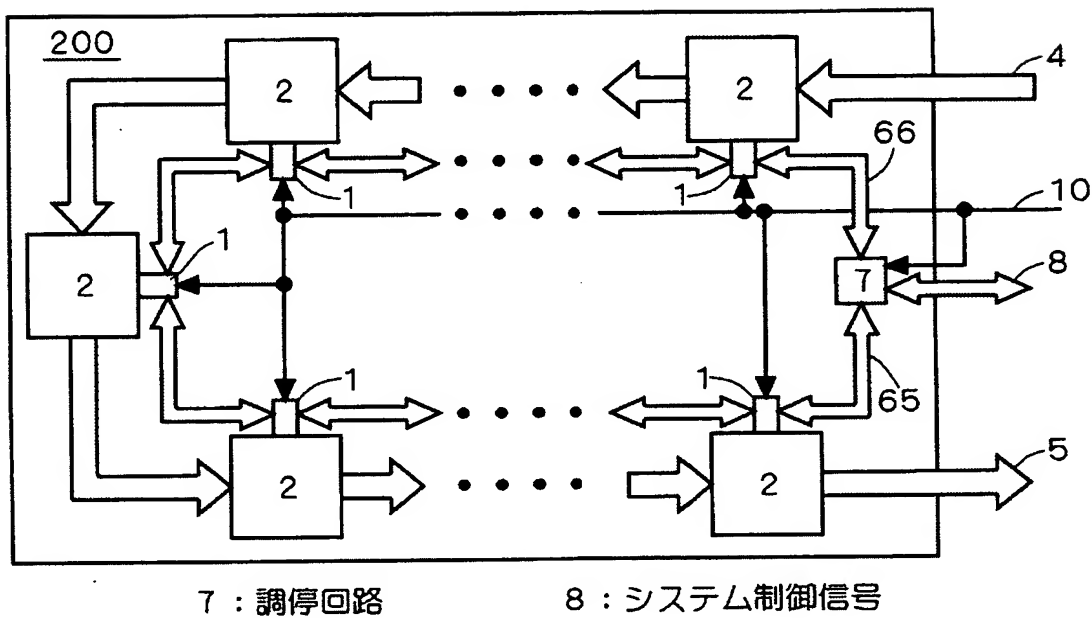
62 : 出力側転送要求信号  
 64 : 出力側要求応答信号  
 13 : エンド信号  
 14 : ストップ信号

【図 3】

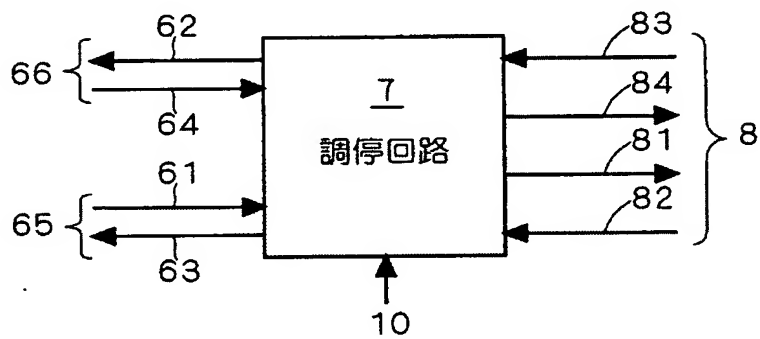




【図 4】



【図 5】

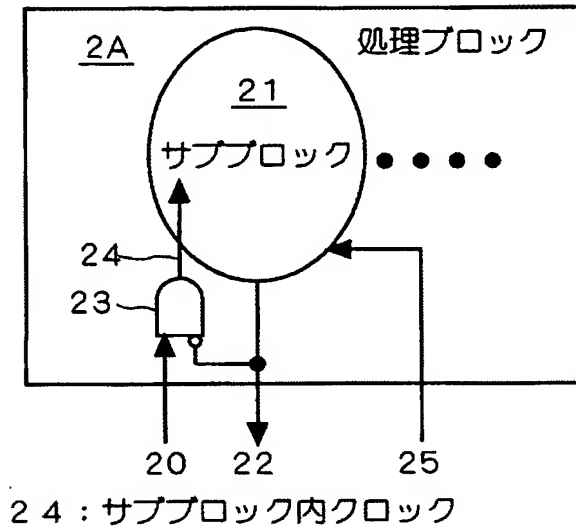


6 5 : 入力側ハンドシェイク制御信号  
6 6 : 出力側ハンドシェイク制御信号

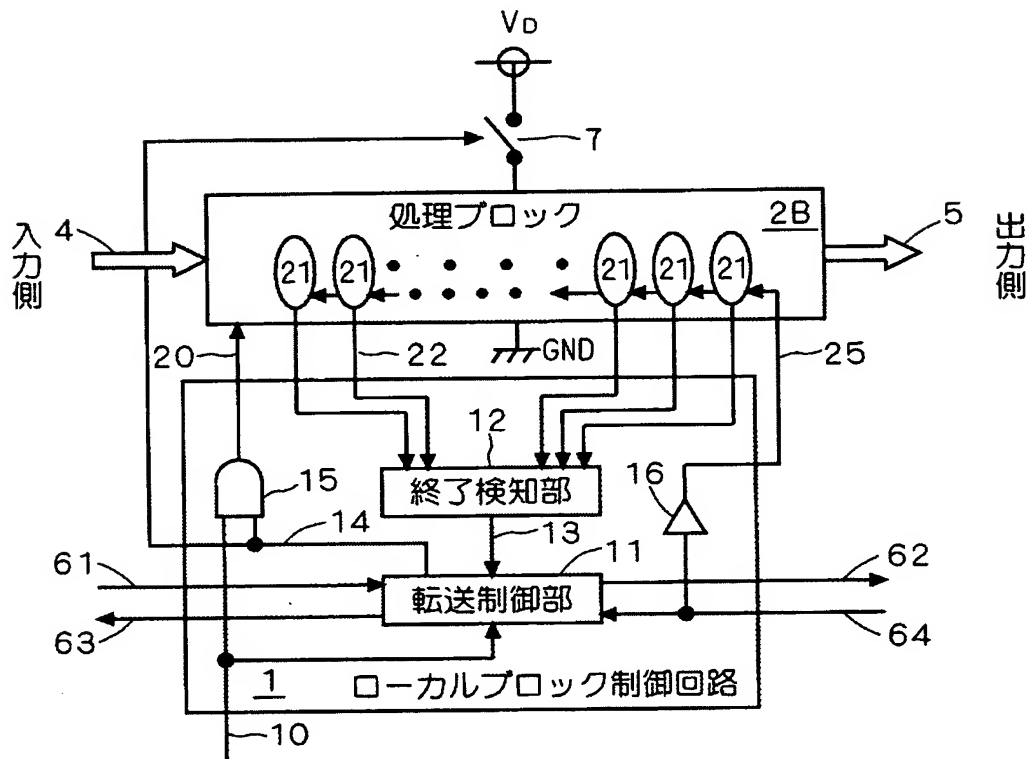
8 1 : バス要求信号  
8 2 : バス要求応答信号  
8 3 : バスエンド信号  
8 4 : バスリード/ライト信号

3046083

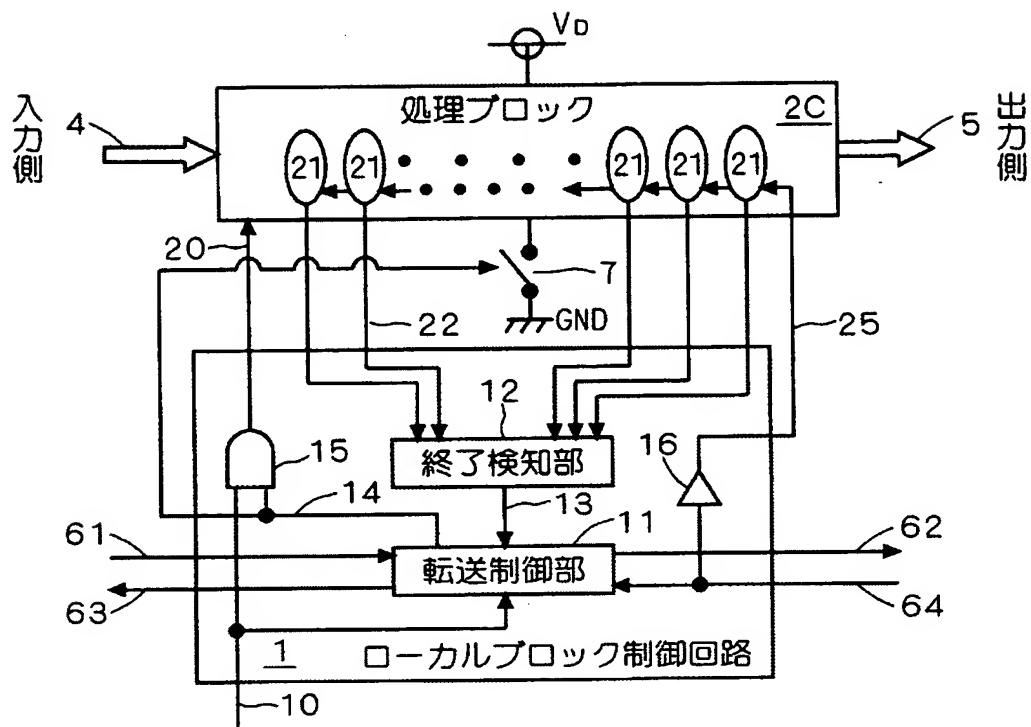
【図 7】



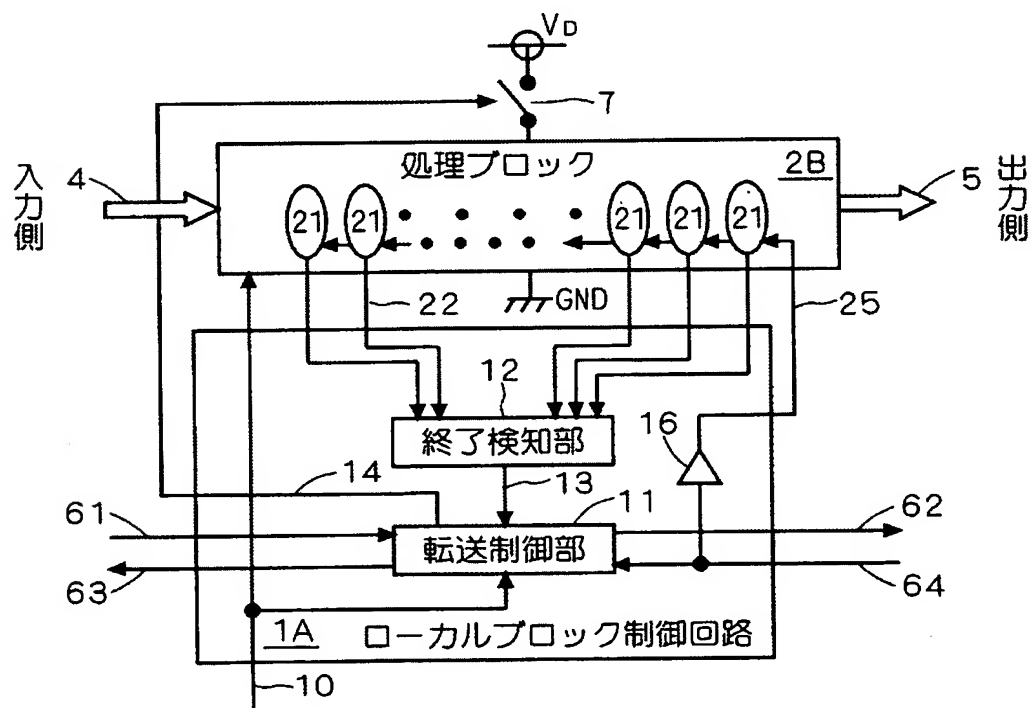
【図 8】



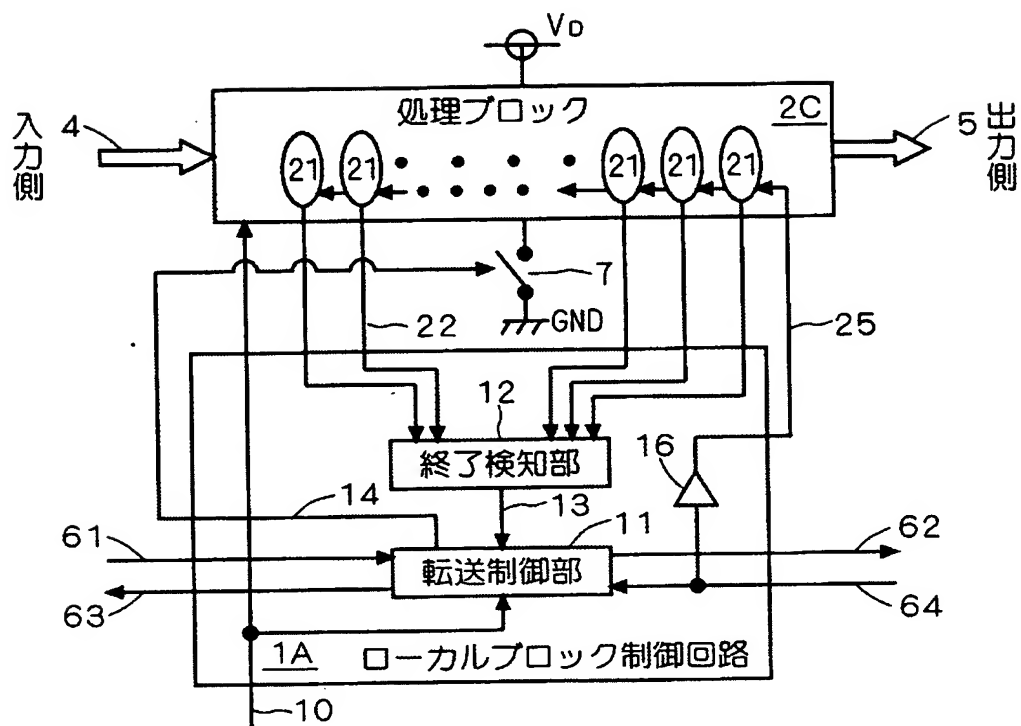
【図 9】



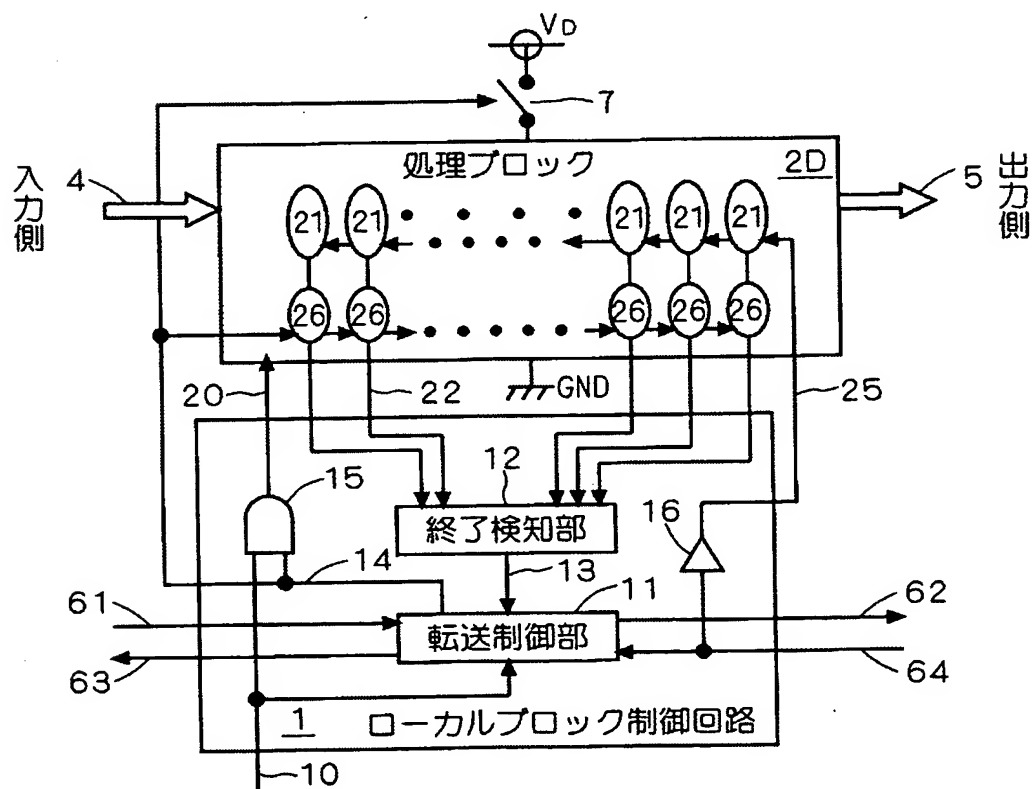
【図 10】



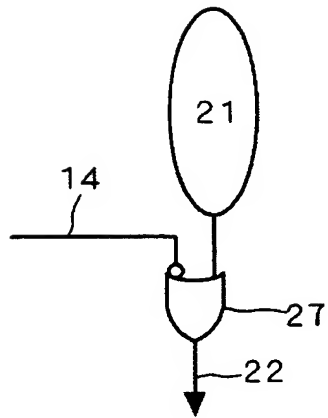
【図 1 1】



【図 1 2】



【図 1 3】



【書類名】            要約書

【要約】

【課題】    上位レベルのクロック位相管理において、各ブロックへ分配するクロック経路の最適化を不要とするとともに、回路規模の増大を抑制し、また回路チューニングによる設計期間の増加を最小限に抑えることが可能な自己同期型ブロック処理装置を得る。

【解決手段】    ローカルブロック制御回路 1 は、複数のコンプリート信号 2 2 を受ける終了検知部 1 2 と、終了検知部 1 2 から出力されるエンド信号 1 3、システムクロック 1 0、ハンドシェイク制御信号 6 を受け、システムクロック 1 0 を処理ブロック 2 へ供給するか否かを決定する負論理のストップ信号 1 4 を生成する転送制御部 1 1 と、転送制御部 1 1 から出力される負論理のストップ信号 1 4 とシステムクロック 1 0 とに基づいて、ブロック内クロック 2 0 を生成する論理 AND ゲート 1 5 とを備えている。

【選択図】            図 2

出 願 人 履 歴 情 報

識別番号 [503121103]

1. 変更年月日	2003年 4月 1日
[変更理由]	新規登録
住 所	東京都千代田区丸の内二丁目4番1号
氏 名	株式会社ルネサステクノロジ